

High speed digital data retiming apparatus

Patent Number: ☐ US5887040
 Publication date: 1999-03-23
 Inventor(s): JUNG HEE-YOUNG (KR); LEE BHUM-CHEOL (KR); PARK KWON-CHUL (KR)
 Applicant(s):: KOREA TELECOMMUNICATION (KR); KOREA ELECTRONICS TELECOMM (KR)
 Requested Patent: ☐ JP9181713
 Application Number: US19960746992 19961119
 Priority Number(s): KR19950050868 19951216
 IPC Classification: H04L7/00
 EC Classification: H04L7/033E
 Equivalents: ☐ FR2742614, KR153952

Abstract

The present invention provides a high speed digital data retiming apparatus, in which, in binary data bits transmitted at a high speed, the data can be retimed in a stable manner, even if there are present a static skew due to a delay difference between the retiming clock pulse and the data and a dynamic skew due to the characteristic variation according to time and temperature. Therefore, the present invention has the following advantages compared with the conventional apparatus. First, periodical and regular external clock pulses are delayed by means of a delaying section, so that system performance is independent of the pattern of data. Second, even if the data phases show a continuous difference (wandering) for more than a certain period of time, an elastic buffer absorbs the wandering, and therefore, no data loss is generated, with the result that the system is not put to a disorder condition. Third, even in the case where a metastable state occurs, its occurrence probability can be significantly reduced by utilizing logic, thereby making it possible to retime the data in stable manner.

Data supplied from the esp@cenet database - l2

Best Available Copy

特開平9-181713

(43)公開日 平成9年(1997)7月11日

| (5)Int.Cl. H04L 7/00 | 発明の分野 H04L 7/00 | 発明の名称 PI | 発明の目的 H04L 7/00 | 発明の要旨 H04L 7/00 |
|-------------------------|--------------------|-------------|--------------------|--------------------|
| | | | | 技術的効果 |

審査請求 未請求 請求項の範囲 7 OL (全 13 頁)

| | |
|-----------------------------|--|
| (21)出願番号 特開平8-31012 | (71)出願人 591044083 財団法人韓国電子通信研究所 大韓民国大田廣域市西區城區何亭洞181番地 |
| (22)公開日 平成8年(1996)11月27日 | (71)出願人 394027641 韓国電通公社 大韓民国ソウル特別市鐘路區世宗路100 |
| (31)優先権主張番号 95-50868 | (72)発明者 ヒョン ジュン 大韓民国、デジョン、ユソク、ガジュ |
| (32)優先日 1995年12月16日 | ンドン 181 エレクトロニクス アンド テレコミュニケーションズ リサーチ |
| (33)優先権主張国 韓国 (KR) | インスティテュート内 イムンティテュート内 |
| | (74)代理人 弁理士 富田 和子 (外1名) |

最終頁に続く

(54)【発明の名称】 高速デジタルデータ・リタイミング装置

(57)【要約】

【課題】 高速に伝送される2進データビットに対してリタイミングクロックパルスとデータビットの遅延差の発生を抑制し、時間と温度との変化による動的スキューとが存在しても、データを安定的にリタイミングする。

【解決手段】 外部入力クロックパルスからn位相のn個の多重位相クロックパルスを生成する手段201と、このn個の多重位相クロックパルスの中、外部から入力されるデータビット間隔の中央に近接して遅移が発生するクロックパルスを1個以上選択するための制御信号を出力する手段202と、多重位相クロックパルスとリタイミングクロックパルスを1個以上選択するための制御信号を出力されたデータビット間隔の中央でリタイミングクロックパルスの遅移が発生するように、リタイミングクロックパルスを合成する手段203と、この合成されたリタイミングクロックパルスを1個以上選択するための制御信号を出力する手段204とを備える。

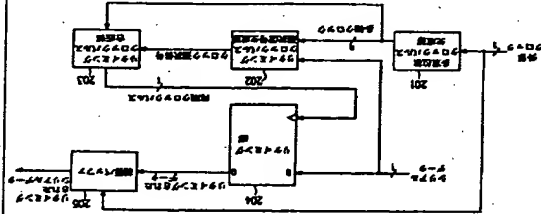


図2

【特許請求の範囲】

【請求項1】 高速に伝送される2進データビットをリタイミングする装置において、

外部から入力されるクロックパルスをn (nは自然数) 個の位相を有するn個の多重位相クロックパルスを生成する多重位相クロックパルス生成手段 (201) と、上記多重位相クロックパルスを入力して、n個の多重位相クロックパルスの中で、外部から入力されるデータビット間隔 (unit interval) の中央に近接して遅移が発生するクロックパルスを1個以上選択するための制御信号を出力するリタイミングクロックパルス選択手段 (202) と、上記多重位相クロックパルスと、上記リタイミングクロックパルスを合成する手段 (203) の合成されたリタイミングクロックパルスを1個以上選択するための制御信号を出力するリタイミングクロックパルス選択手段 (204) とを備えることを特徴とする高速デジタルデータ・リタイミング装置。

【請求項2】 外部から入力されるデータの位相が、外部から入力されるクロックパルスの位相に対して、正 (負) の値で外部から入力されるクロックパルスの1個以上と上とに徐々に変化する (wander) ことを吸収してスリッパが発生しないようにし、上記リタイミングクロックパルスを合成手段 (203) の合成されたリタイミングクロックパルスをリタイミングされたデータとを、外部から入力されるクロックパルスで再びリタイミングし、最終的にリタイミングされたデータが外部から入力されるクロックパルスの位相に同期するようにする遅延バッファ (elastic buffer) 手段 (205) をさらに備えること、を特徴とする請求項1記載の高速デジタルデータ・リタイミング装置。

【請求項3】 上記多重位相クロックパルス生成手段 (201) は、1個の定相クロックパルスと1個の逆位相クロックパルスを生成する少なくとも一つ以上の正位相クロック生成手段モジュール (301-30 (n/2)) を備えることを特徴とする請求項1記載の高速デジタルデータ・リタイミング装置。

【請求項4】 上記正位相クロックパルス生成手段モジュール (301-30 (n/2)) は、1番目の段は、外部クロックを入力され一定時間遅延させて出力する遅延部 (311) と、上記遅延部 (311) を介して出力を反転させ、逆位相クロックパルスを

出力する第1インバータ (321) と、上記第1インバータ (321) を介した逆位相出力を再び反転させ、定相出力で出力させる第2インバータ (322) を備えてなり、

上記の正位相クロックパルス生成手段モジュール (301) から2番目以後の正位相クロックパルス生成手段モジュール (302-30 (n/2)) は、先ず正位相クロックパルス生成手段モジュールで出力した逆位相クロックパルス (DCP) を入力に受け入れ、遅延器を介して遅延させた後、2個のインバータを介して1個の定相クロックパルス (DCP) と1個の逆位相クロックパルス (DCPN) とを生成し、次の段のクロック入力になるように多段に構成したことを特徴とする請求項3記載の高速デジタルデータ・リタイミング装置。

【請求項5】 上記クロック選択手段 (202) は、

上記逆位相多重位相クロックと外部から入力したデータを入力に受け入れ、n/2個の定相多重位相クロックパルスの中で、外部から入力されるデータビット間隔の中央に近接して、遅移が発生するクロックパルスを選択するための制御信号を出力する定相クロック選択手段生成部 (501) と、上記逆位相多重位相クロックと、外部から入力したデータを入力に受け入れ、n/2個の逆位相多重位相クロックパルスの中で、遅移が発生するクロックパルスを1個以上選択するための制御信号を出力する逆位相クロック選択手段生成部 (502) を備えていることを特徴とする請求項1または4記載の高速デジタルデータ・リタイミング装置。

【請求項6】 上記クロックパルス選択手段生成手段 (203) は、

上記多重位相クロックパルス生成手段 (201) から出力した定相クロックパルスまたは逆位相クロックパルスを各々データ入力 (D) に受け入れ、これを外部から入力したデータとクロックパルスとして用いてリタイミングして出力する少なくとも1個以上のDフリップフロップ (601, 602, 603, ..., 60 (n/2)) を備えること、を特徴とする請求項1記載の高速デジタルデータ・リタイミング装置。

【0005】これを克服するために、4個の位相(0°、90°、180°、270°)を有した外部クロックパルスを生成し、データの選別部分を抽出する。この抽出結果を用いて制御信号を生成し、順次的な位相制御を有するデータの中心、外部のクロックパルスの位相に適合な選別データを選択することにより、外部クロックパルスにデータを整列(aligned)させる方法が考案された。

【0006】しかし、4階の位相を有したクロックパルスを用いる場合、周波数の上昇することによってクロックパルスの生成が難しくなる。

【0011】本発明の目的は、高速に伝送される2進データビットに対してリタイミングクワパルズとデータビットの置延控異のための静的スキュー (Static skew) と、時間と温度との変化による動的スキュー (Dynamic skew) と、

【0016】図面に示したように、多重位相クロックパルス生成部201は、外部から入力されるクロックパルスをを用いて、 n 個の位相を有した n 個の多重位相クロックパルスを生成し、上記多重位相クロックパルスの1個のクロックパルスと最後のクロックパルスとの位相の

[illegible]

【0022】図面に示したように、外部から入力されたクロックは、一番目の段の正位相クロック生成単位モジュール301に力され、遅延器311を介して信号を遅延させた後、インバータ321を用いて1個の反位相クロックパルス(DCPI)と1個の遅延相クロックパルス(DCPN)とを生成し、上記の正位相クロックパルス(DCPI)を正位相クロック生成単位モジュール302で生成された1個の反位相クロックパルス(DCPN)を正位相クロック生成単位モジュール302の正位相クロック生成単位モジュールで出力する。

【0023】上記定相クロック生成単位モジュール302は、上記定相クロック生成単位モジュール301から出力した定相クロック(DCPr)を入力に受け入れ遅延を介して遅延させた後、2個のインバータを介して1個の定相クロックパルス(DCPr2)と、1個の逆相クロックパルス(DCPrN2)とを生成し、上記のようにして生成された1個の定相クロックパルス(DCPr)と逆相クロックパルス(DCPrN)とを生成し、上記の2個の定相クロックパルス(DCPr2)と逆相クロックパルス(DCPrN2)とを出力する。すなわち、302(このとき、 r は $(n/2)$ より小さい自然数)は、その以前の段[すなわち、30(r-1)]から生成された定相クロックを入力にし、遅延素子を用いて必ず遅延させ、2個のインバータを介して1個の定相クロックパルス(DCPr)と1個の逆相クロックパルス(DCPrN)とを生成し、上記の30(rで生成された1個の定相クロックパルス(DCPr)を次の段[すなわち、30(r+1)]に出力する。

【0024】最後の段である正位相クロック生成単位モジュール (30 (n/2)) は、その以前の段 (すなわち、30 ((n/2) - 1)) で生成された反位相クロック [DCP (n/2) - 1] を入力にして、1個の正位相クロックパルス [DCP (n/2)] と1個の反位相クロックパルス [DCPN (n/2)] とを生成して外部に出力する。

【0025】このとき、遅延素子の遅延は全同期一であり、任意の段30rにおいての遅延相クロックパルス出力D₁C₁rと、その次の段の遅延相クロック出力D₂C₂r((r-1)の間の位相遅延)または任意の遅延相クロックパルス出力D₁C₁rとその次の段の遅延相クロックパルス出力D₂C₂rとの位相差は、T/(n-1)より大きいか同じである。

【0002】すなわち、七ビットの位相差条件（10°、20°、30°、40°、50°、60°、70°）を満足させることによって、順次的に一定の位相差を有して搬送された逆位相クロックパルスは、クロックパルスの上昇遷移と下昇遷移の間に発生するデコーダの全ての遷移を抽出することができ、順次的に一定の位相差を有して搬送された逆位相クロックパルスは、クロックパルスの下昇遷移と上昇遷移の間に発生するデコーダの全ての遷移を抽出することができ、

【0027】図4は多重位相クロック生成器201で出

力する多重量クロックパルスの主要部分のタイミミング図を示したものであって、DCP1, DCP2, ..., DCP $[(n/2) - 2]$, DCP $[(n/2) - 1]$, DCP $(n/2)$ は定位相多重クロックパルスを示しており、DCP1, DCP2, ..., DCP $[(n/2) - 1]$, DCP $[(n/2) - 2]$, DCP $[(n/2) - 1]$, DCP $(n/2)$ は逆位相多重クロックパルスを各々示している。上記の定位相クロックパルスDCP1は、外部クロックパルスを遅延素子と2個のインバータとを介して、外部入力クロックパルスとの位相差を有するようによって遅延させた信号であり、上記定位相クロックパルスDCP2は、上記の定位相クロックパルスDCP1を遅延素子と2個のインバータとを介して、すぐ前の段の定位相クロックパルス(DCP1)とPとの位相差異を有するようによって遅延させたものである。

【0028】すなわち、 $\text{WC}(r)$ は、前段の定位相クロックパルス $\text{WC}(r-1)$ を遅延素子と2個のインバータとを用いて上記の段の定位相クロックパルスである $\text{WC}(r-1)$ と D との位相差異を有するように入遅延させた信号となる。

【0029】DCP ($n/2$) は、DCP [$(n/2) - 1$] を遺伝素子と2個のインパータとを用いてPの位相逆で遅延させた信号であって、DCP1でDCP ($n/2$) までの位相逆外部入力クロックパルスの半周間 ($T/2$) より大きいので、DCP1でDCP ($n/2$) の多重定位クロックパルスは、入力データの位相逆が外部入力クロックの上昇遷移と下降遷移との間、との部分で発生しても全相違出すことができる。上記の遅位クロックパルスDCPN1は、外部クロックパルスを遺伝素子1個のインパータとを介して“P-インパータの遅延”の位相逆を有するように遅延させた信号であり、上記の遅位クロックパルスDCPN2は、上記の遅位クロックパルスDCPN1を遺伝素子と2個のインパータとを介して、Pの位相逆異相遅延させたものである。

【0030】すなわち、DCPN r は ($r=1$ のとき除外)、前段の逆位相クロックバルスDCPN ($r-1$) を逐次素子と2個のインバータを用いてPの位相逆で逐次させた信号となる。

【0031】 $DCPN(n/2)$ は、 $DCPN(n/2-1)$ を基底素として2個のインパタとを用いてPの位相逆で連結された信号であって、 $DCPN$ からDCLPN($n/2$)までの位相逆が、外部入力クロックパルスの半周期($T/2$)より大きいので、DCLPNに於いて、 $DCPN(n/2)$ の多重逆位相クロックパルスは、入力データと逆相移が、外部入力クロックパルスの逆相移と上昇遷移との間で発生しても全部検出することができる。

【0032】図5はクロック選択信号生成部202の構成ブロック図を示したものであって、501は、空位相

クロックパルス選択信号生成部、502は、逆位相クロックパルス選択信号生成部を各々示している。

【0033】図面に示すように、定位クロック選択信号生成部501は、上記の定位多重化クロックDCDIPN-1と外部から入力したデータタプルとを受け入れ、 $n/2$ 個の定位多重化クロックパルスを出力し、外部から入力されるデータビット間隔(unit interval)の中央に近接して遷移(クロックパルスの上昇遷移でリタイミングをする場合は上昇遷移であり、クロックパルスの下降遷移でリタイミングをする場合は下降遷移である)を発生するクロックパルスを選択するための制御信号を出力し、定位クロック選択信号生成部502は、上記の定位多重化クロックDCDIPN-1と外部から入力したデータタプルとを受け入れ、 $n/2$ 個の定位多重化クロックパルスを出力し、外部から入力されるデータビット間隔(unit interval)の中央に近接して、遷移(クロックパルスの上昇遷移でリタイミングをする場合は上昇遷移であり、クロックパルスの下降遷移でリタイミングをする場合は下降遷移である)を発生するクロックパルスを一旦以上選択するための制御信号を出力する。

[illegible]

【0035】図面に示している、Dフリップフロップ6
01、602、603、…、60[(n/2)-2]、上記位置
位相クロックパルス生成部201で出力した定位相ク
ラックパルス[DCP1、DCP2、…、DCP[(n/
2)-2]、DCP[(n/2)-1]、DCP(n/
2-1)と、また定位相のクロックパルス[DCPN
1]、DCPN2、…、DCPN[(n/2)-2]、D
CPN[(n/2)-1]、DCPN(n/2)]を各
々Dフリップフロップのデータ入力(D)に受け入れ、
これを外部から入力したデータ値をクロックパルスとして
用いてリタイミングして出力する[A1、A2、A3、
…、A[(n/2)-2]、A[(n/2)-1]、A

【0036】クロックパルス選択信号生成回路部61
1、612、…、61 $[(n/2)-2]$ は、上段フロッ
プフロップ601、602、603、…、60 $[(n/2)-2]$ 、60 $[(n/2)-1]$ 、60 $(n/2)$ でリタイミングして出力した値A1、A2、A3、…、A $[(n/2)-2]$ 、A $[(n/2)-1]$ 、A $[(n/2)]$ を、

1]、 $A(n/2)$ を入力に受け入れ、外部から入力したデータの遷移が検出された時、0を出力し、遷移が検出されなかった時、1を出力する B1、B2、…、 $B[(n/2)-2]$ 。

【0037】上記ロッキングアップマップ621、622、623、…、62[(n/2)-2]は、上記クロック発生回路が出力した遷移係数出力値IB1、B2、…、B[(n/2)-2]を、上記の多重量クロックパルス生成部から出力した定長相クロック[DCP1、DCP2、…、DCP[(n/2)-2]、DCP[(n/2)-1]、DCP[(n/2)-2]1、または遷移前のクロックパルス[DCPN1、DCPN2、…、DCPN[(n/2)-2]、DCPN[(n/2)-1]、DCPN[(n/2)-2]1]を用いてリタイミングした後で出力するIBN1、BN2、…、BN[(n/2)-2]1】。

【0038】このときDフリップフロップ601、602、603、…、60[(n/2)-2]、60[(n/2)-1]、60(n/2)と621、622、623、…、62[(n/2)-2]は、脱字化(macelastability)が発生する確率を低減するため、図7のように2段またはそれ以上の多段(Hull-step)とすることもできる。

【0039】図8はクロックパルス選択信号生成回路部の一実施の形態を示す図であって、811はインバータを示しており、812、813、814は、各々2入カンドゲートを示している。

【0040】樹面において、 $A_m, A(n+1), A(m+2)$ (この時、 m は n より小さいと同じ自然数)は、各々上層ロジャックフロップ601、602、603、…、60 $\{ (n/2) - 2 \}$ 、60 $\{ (n/2) - 1 \}$ 、60 $\{ (n/2) - 2 \}$ でリタイミング出力しなれた値 $A_1, A_2, A_3, \dots, A \{ (n/2) - 2 \}$ 、 $A \{ (n/2) - 1 \}$ 、 $A \{ (n/2) - 1 \}$ のうち、 m 番目と、 $m+1$ 番目と、 $m+2$ 番目との出力値であり、 A_m と $A(n+1)$ との間、または A_m と $A(m+2)$ との間で、ロジャックの値が異なる場合、 B_m 値はロジャック出力し、そうでない場合、 B_m からロジャックの出力する。

【0041】上記クロックバルス選択は外部回路部は、上記ディフューズマスクパターン形成工程で形成されたレジスタに、 $601, 602, 603, \dots, 60n$ のビットパターンを記憶させる。ここで、 $601, 602, 603, \dots, 60n$ は、 $0 \leq (n/2) - 2$ 、 $60 \{ (n/2) - 1 \}$ 、 $60 (n/2)$ から入力 [DCP1, DCP2, ..., DCPP (n/2)] が外部からの入力したデータの upper (または lower) 選択に对应して、セットアップ時間 (Setup time) および保持時間 (hold time) を満足することができ、かつ、このため、量子化 (metastability) 条件が発生し、出力がロジック 1 または 0 で出力される場合、および、発振してもバ尔斯の幅がインパルス 801 以上 NOR 811、812、813 ゲートの遅延時間より小さい場合

合は、安定に動作するので、量子化によるシステムの不
安定性の確率をかなり減少させることができる。

【0042】図9 (A) と (B) は入力されたデータの
位相によってクロック選択信号を生成する機能を行なう
上記図6の機能のタイミミング図で示したものであって、
DCPm、DCP (m+1)、DCP (m+2) (この
とき、mはnより小さい自然数) は上記多重位相クロッ
ク生成部から出力したm番目、(m+1)番目、(m+2)
番目の多重位相クロックを示しており、ENmは上
記クロック選択信号生成部でデータの遷移を検出する際
生成されるm番目のクロック選択信号を示している。

【0043】図面 (A) において、任意の時間t1に入
力データの遷移はDCPmとDCP (m+1)、DCP
(m+2) との遷移部分に存在していない。

【0044】しかし、t2でのように入力データの位相
が変化する場合、入力データの上升遷移がDCPmの上
昇遷移とDCP (m+1) の上昇遷移との間に存在する
ようになり、このときデータの上升遷移で入力されたク
ロックパルス [DCPm、DCP (m+1)、DCP
(m+2)] をリタイミミングするとき、どのクロックパ
ルスでも量子化条件を有していない。このため、入力デ
ータの上升遷移でDCPmをリタイミミングした軌と、D
CP (m+1) をリタイミミングした軌とが互いに異なる
ようになり、この区間で入力データの遷移が発生す
ることを検出することができ、その結果がDCPmにリ
タイミミングされてENmに出力される。

【0045】図9 (B) において、任意の時間t1に
入力データの上升遷移はDCPmとDCP (m+1)、
DCP (m+2) の遷移部分に存在していない。

【0046】しかし、t2でのように入力データの位相
が変化する場合、入力データの上升遷移でDCPm、D
CP (m+1)、DCP (m+2) をリタイミミングすれ
ば、DCPmとDCP (m+2) とは互いにリタイミン
グされるが、DCP (m+1) をリタイミミングした場
合、量子化状態にあるようになる。

【0047】上記の場合にもDCPmとDCP (m+
2) とを入力したデータの上升遷移でリタイミミングした
結果が互いに異なるため、これを用いてこの区間にデ
ータの遷移が発生することを検出することができ、その
結果がDCPmリタイミミングされENmに出力される。
【0048】図10はクロック合成部203の一実施の
形態を示したものであって、1001、1002、…、
100 [(n/2)-1]、100 (n/2) と、10
11、1012、…、101 [(n/2)-1]、10
1 (n/2) と、1031は2-入力ORゲートを示し
ており、1021、1022は、(n/2)-入力NA
NDゲートを示している。

【0049】図面において、上記多重位相クロック生成
部201で入力した定相多重位相クロック (DCP
1、DCP2、…、DCP [(n/2)-3]、DCP

[(n/2)-2]) は、上記クロック選択信号生成部2
02から出力した選択信号EN0、EN1、…、EN
[(n/2)-3]、EN [(n/2)-2]によりO
Rゲート1001、1002、…、100 [(n/
2)-1]、100 (n/2) を介して選択された場
合 (すなわち、選択信号がロジック0の場合) バイパス
(bypass) されて、NANDゲート1021によりバイ
パスされた他の位相のクロックパルスと合成され、選択
されない場合 (すなわち、選択信号がロジック1の場
合) ブロッキング (blocking) され、ロジック1が出力
される。

【0050】上記多重位相クロック生成部201から入
力した定相多重位相クロック (DCP1、DCP2、
…、DCP [(n/2)-3]、DCP [(n/
2)-2]) は上記定相クロック選択信号生成部から
出力した選択信号 (EN0、EN1、…、EN
[(n/2)-3]、EN [(n/2)-2]) によ
りORゲート1011、1012、…、101 [(n/
2)-1]、101 (n/2) を介して選択され
た場合 (すなわち、選択信号がロジック0の場合) バイパ
ス (bypass) され、NANDゲート1021によりバイパ
スされた他の位相のクロックパルスと合成され、選択さ
れない場合 (すなわち、選択信号がロジック1の場合)
ブロッキング (blocking) され、ロジック1が出力され
る。

【0051】上記2-入力ORゲート1031は、上記
定相クロック合成のためのNANDゲート1021で
出力した定相クロックと上記逆位相クロック合成
のためのNANDゲート1022から出力した逆位相合
成クロックを最終合成して外部に出力する。

【0052】図11は、図10において定相クロック
パルスDCPp [この時、pは (n/2)-2より小
さい自然数] と逆位相クロックパルスDCPq [この時、
qは (n/2)-2より小さい自然数] とが選択する
際、出力される合成クロックのタイミミング図を示したも
のである。

【0053】図面において、選択された定相クロック
パルスDCPpを除外した全ての定相クロックは、定
位相クロックパルス選択信号がロジック1であるので、
2-入力ORゲート1001、1002、…、100
[(n/2)-3]、100 [(n/2)-2] でブ
ロッキング (blocking) され、DCPpだけが2-入力N
ANDゲート1021を介して位相が反転され、103
1の2-入力ORゲートの入力へ出力される。

【0054】選択された逆位相クロックパルスDCPq
を除外した全ての逆位相クロックは逆位相クロックパ
ルス選択信号がロジック1であるので、2-入力ORゲ
ート1011、1012、…、101 [(n/2)-
3]、101 [(n/2)-2] でブロッキング (blo
cking) され、DCPqだけが2-入力NANDゲート1

022を介して位相が反転され、2-入力ORゲート1
031の入力へ出力される。

【0055】1021の2-入力NANDゲートと、2
-入力NANDゲート1022とを介して出力されたク
ロックパルスと、2-入力ORゲート1031で最終合
成され、合成されたクロックパルスが出力される。

【0056】本発明は、上記のような構成を用いて高速
のデジタルデータ・リタイミミング装置として使用され
ることができ、従来の方法に比べて以下のような長所を
有している。

【0057】第1に、図面的に現明的な外部クロックパ
ルスを遅延素子を用いて遅延させることにより、システ
ムの性能がデータのバターンと独立 (Data Pattern-
independent) になり、第2に、データの位相が一定時間
以上連続的に差異が発生する間隔が発生しても、遅延バ
ッファ (elastic buffer) を用いてこれを吸収するこ
とができるので、データの損失が発生しないため、シス
テムが故障状態にならず、第3に、量子化 (quantizati
on) 状態が発生する場合にも、ロジックを用いてこの発
生確率をかなり減少させることによりデータを安定にリ
タイミミングすることができ、

【図面の簡単な説明】

【図1】従来の高速デジタルデータ・リタイミ
ング装置の構成図。

【図2】本発明による高速デジタルデータ・リタイ
ミング装置の構成図。

【図3】本発明による多重位相クロックパルス生成部
の一実施の形態を示す図。

【図4】本発明による多重位相クロックパルス生成部
の主要タイミミング図。

【図5】本発明によるクロックパルス選択信号生成部
の構成の一実施の形態を示す図。

【図6】本発明によるクロックパルス選択信号生成部
の一実施の形態を示す図。

【図7】本発明によるクロックパルス選択信号生成部
の主要タイミミング図。

【図8】本発明によるクロックパルス選択信号生成部
の一実施の形態を示す図。

【図9】本発明によるクロックパルス選択信号生成部
の主要タイミミング図。

【図10】本発明によるクロックパルス合成部の一実施
の形態を示す図。

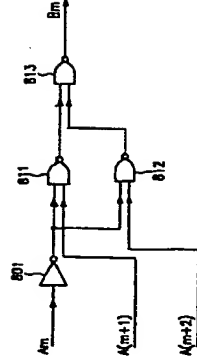
【図11】本発明によるクロックパルス合成部の主要タ
イミミング図。

【符号の説明】

- 101 遅延検出器 (Edge Detector)
- 102 増減制御器 (Increment-Decrement Control
er)
- 103 両位相シフトレジスタおよび多重化器 (M/M
Register and Multiplexer)
- 201 多重位相クロックパルス生成器 (Multi-Phas
e Clock Generator)
- 202 クロックパルス選択信号生成器 (Clock Puls
e Select Signal Generator)
- 203 クロックパルス合成器 (Clock Pulse Synthe
sizer)
- 204 リタイミング部 (Retimer)
- 205 弾性バッファ器 (Elastic Buffer)
- 301 30 (n/2) 両位相クロックパルス生成
単位モジュール
- 311 遅延手段
- 321、322 インバータ
- 501 定相クロックパルス選択信号生成器
- 502 逆位相クロックパルス選択信号生成器
- 601、60 (n/2)、621、62 [(n/2)-
2] フリップフロップ
- 611、61 [(n/2)-2] 選択信号生成回路
- 801 インバータ
- 811、812、813 2-入力AND
- 1001 100 [(n/2)-2]、911 91
[(n/2)-2]、931 2-入力OR
- 1021、1022 (n/2)-入力NAND

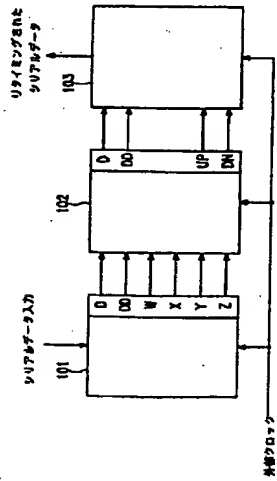
【図8】

図8



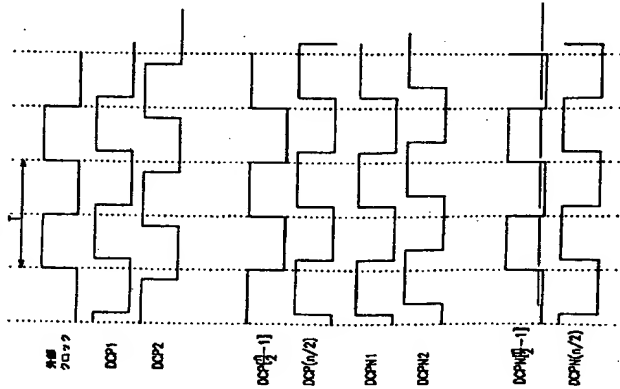
【図1】

従来例（図1）



【図4】

図4



【図5】

図5

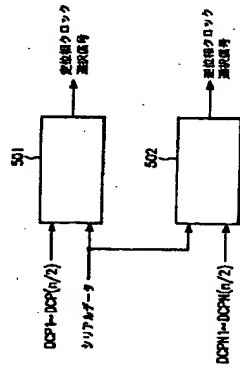
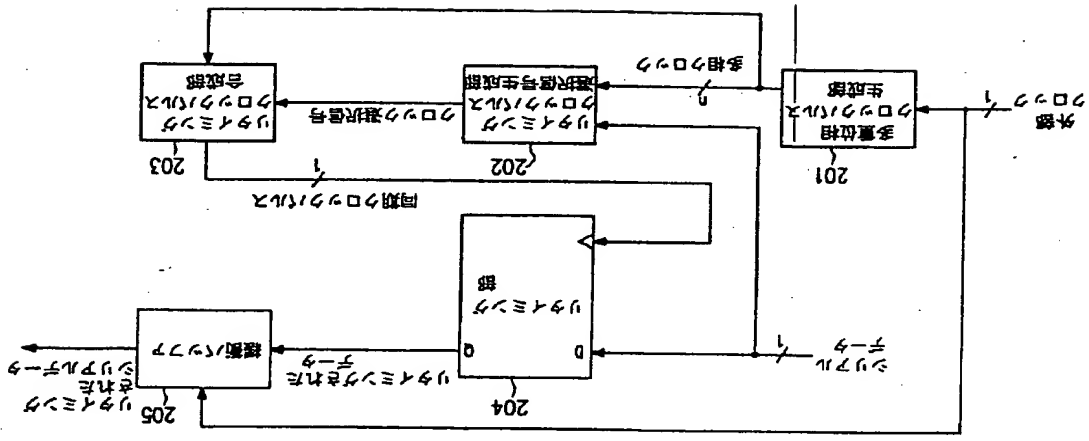


図2

【図2】



【図3】

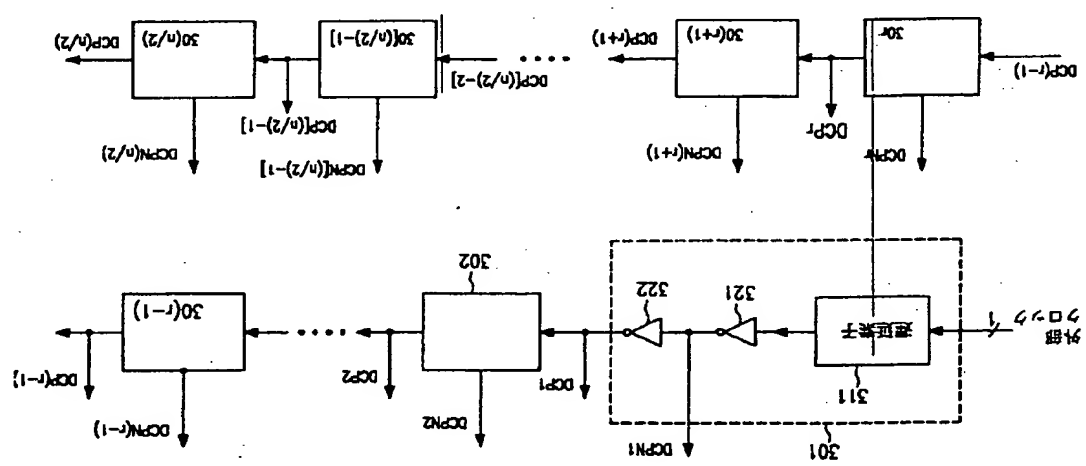
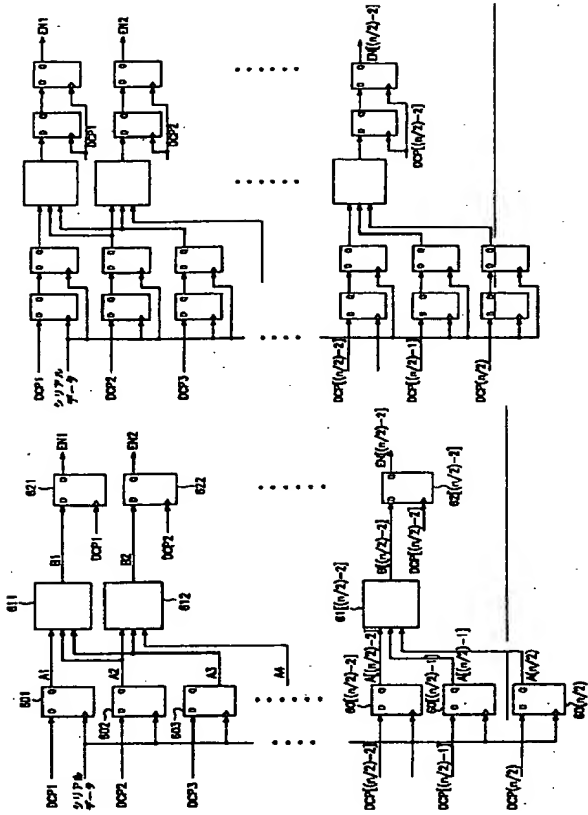


図3

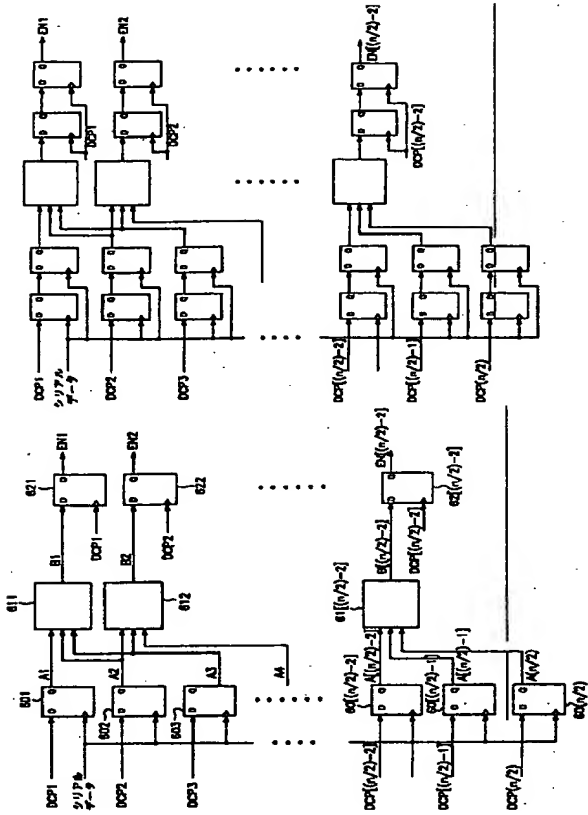
【図6】

図6



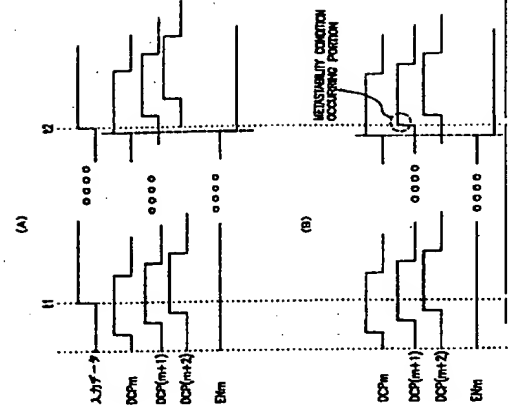
【図7】

図7



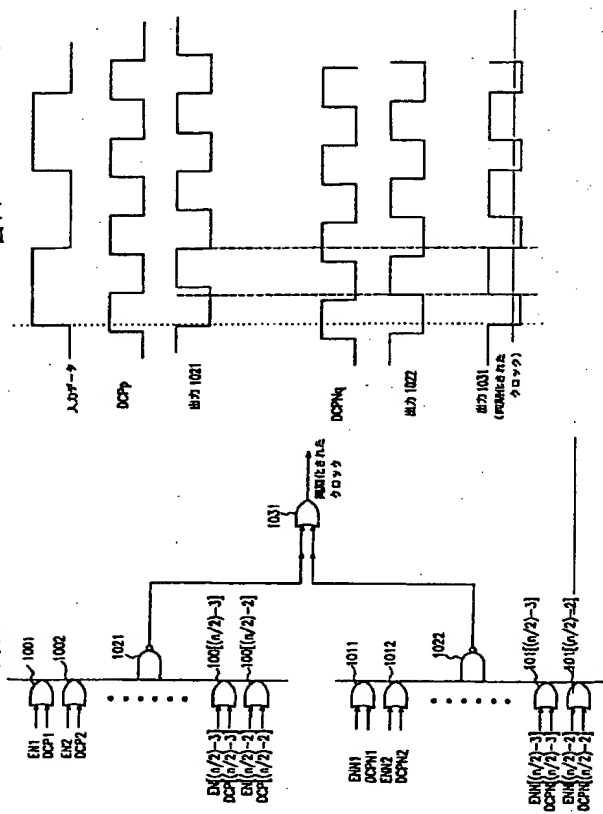
【図9】

図9



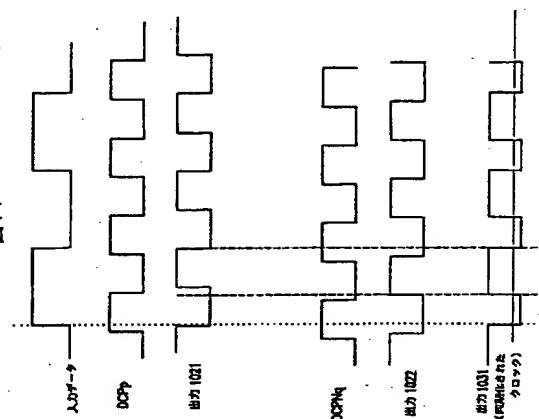
【図10】

図10



【図11】

図11



フロントページの続き

(72)発明者 アムチェオル リー

大韓民国、デジョン、ユソング、ガジュ
ンドン 161 エレクトロニクス アンド
テレコミュニケーションズ リサーチ
インスティテュート内

(72)発明者 クウォンチュンル パーク

大韓民国、デジョン、ユソング、ガジュ
ンドン 161 エレクトロニクス アンド
テレコミュニケーションズ リサーチ
インスティテュート内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.